能 動 遅 延 回 路[†]

阿 刀 田 央 一^{*}・土 井 康 弘^{*}

An Active Delay Circuit

Ōichi ATODA^{*} and Yasuhiro DOI^{*}

It has been a difficult task for analog electronic circuits to delay signals by a few milliseconds or more. Theoretically a ladder circuit consisting of numbers of lumped inductors and capacitors might act as a good approximation of delay cable if the signal frequency is limited below a certain bound, but unfortunately the characteristics of such a circuit cannot really be satisfied because of the incomplete performance of conventional large inductance coils.

In this paper the authors propose a method for forming a delay line using resistors and active elements instead of classical inductors and capacitors. The admittance across one active element is proportional to the minus of the square of the frequency. Each active element consists of several transistors and a few additional capacitors and resistors, and the "active delay line" requires no more coils than an active filter does. This is just the reason why the active delay line could be almost as ideal as a theoretical one.

Two active delay lines are actually manufactured, one of which is now used as the delay element of a correlation flow velocity meter. Satisfactory results are obtained in experiments on these delay lines, which imply practical applicability of the active delay line.

1. 序 論

従来、アナログ信号、とくに音声周波数以下の低速領域の信号に適する遅延装置の製作はかなり困難なものであり、そのことが相關器のような信号遅延装置を必須とする装置を複雑で高価なものとする一因となっていた。現在ではデジタル技術の普及によりそれらの情報処理を電子計算機に受もたせることが可能となっ

た。

しかし小規模機器や実時間処理をおこなう装置においては電子計算機の使用は必ずしも適切とはいえず、むしろアナログのまま処理した方が有利な場合が少なくない。良好な信号遅延装置の開発はそれらの機器にとってその高性能化、簡略化のために有意義である。

従来より行なわれてきた低周波用のアナログ信号遅延方式の主なものをあげてみると、

- a) インダクタとキャパシタによる集中定数近似の遅延線。
- b) 磁気テープを用いる方式。
- c) コンデンサメモリを使用する方式。
- d) Páde の近似式のアナコンによる実現。
- e) デジタル化して遅延する方式。

等がある。

上記方式中、a) は高周波ではよく使用され段数を十分とれば理論特性もよいが低周波および超低周波ではあまりよいインダクタが得られないため実用化は容易ではない。b) は以前相關器などによく使用された方式であるが機械的可動部を有するのが欠点であることはいうまでもない。c) はコンデンサをアナログメモリとして使用し一定時間情報を記憶しておいたのち読出すものである。書込読出の切換には古くから機械式コンミュデータが使用されていた。

近年『アナログシフトレジスタ^{1),2)}』として発表されているものはこれと同様の原理で、アナログスイッチ、FET 等の適切な使用によりよい特性を得ている。その他この原理のものは多くの方式が提案され³⁾、またアナログメモリとして磁気メモリを使用したもの⁴⁾も研究され成果を得ている。d) はアナコンによるプロセスシミュレーションのむだ時間要素としてよく使用され、性能もちょうどその目的にマッチしたものである。e) は最近よく使用される方式でたとえば MOS-RAM、シフトレジスタ等の利用により比較的安価に長時間大容量の遅延が得られるようになってきている。

[†] 第 11 回計測自動制御学会学術講演会で発表 (昭 48・7)

^{*} 東京大学工学部 東京都文京区本郷 7-3-1

^{*} Faculty of Engineering, University of Tokyo, Bunkyo-ku, Tokyo

(Received September 29, 1973)

その他、まだ実用にはいたっていないが、拡散ケーブルに適当な帰還を施して ε^{-sL} の近似を得るもの⁵⁾も提案されている。

この論文では、性能のよい低周波および超低周波用アナログ信号遅延装置をつくる方式として、『能動遅延線』を提案しその試作実験の結果と共に示す。この遅延線は前述の a) 方式と同時の理論特性を有するが、いわゆるアクティブフィルタと同様インダクタを用いず抵抗、キャパシタ、および増幅器のみによってその特性を実現するものである。本方式は前述の諸遅延方式中、デジタル化する方式と比較すると単に長時間の遅延を実現しようとする場合は価格、精度上不利である。しかしアナログ系中の簡単な回路要素として使用する場合とか、多数のタップ入出力を必要とする系に応用する場合などにはシステムの簡略さからいって有利であろうと考えられる。

また、アナログシフトレジスタと本方式では同様にアナログ信号を遅延させる目的に使用されるものであるが、この二者は原理上本質的な差を有する。すなわち前者は信号波形を時間的に分解しそのひとつひとつを保持、転送するものであるのに対し後者はある物理系の伝達特性によって遅延を近似しようとするもので、その伝達特性をいかにうまくハードウェアで実現するかが主眼となる。さらに実用的な面から比較すれば本方式は出力にサンプリングによる周波数成分が表われない点等は有利であるが、一方遅延時間の可変を必要とする目的に対しては不可能ではないにせよ適しているとはいえない。本方式による遅延回路を関連器等に応用する場合は能動遅延線自体がタイムベースとなる。

本方式を採用すべきか否かは上記のような特徴を考慮の上応用目的に検討されるべきである。

2. 集中定数近似の遅延線の特性

集中定数の遅延回路は幾種か知られているがここでは最も簡単な定K形低域濾波器の多段カスケード接続したものを考えよう。 $1/2L, C, 1/2L$ のT形四端子回路の出力側にその映像インピーダンスに等しいインピーダンスを接続したときの出力電圧 V_0 の入力電圧 V_i に対する比は、

$$\frac{V_0}{V_i} = \left(1 - \frac{1}{2}\Omega^2\right) - \frac{1}{2}j\Omega\sqrt{4 - \Omega^2}$$

$$= \varepsilon - \theta I = \varepsilon - (\alpha I + j\beta I) \quad (1)$$

$$\Omega = \omega\sqrt{LC} \quad (2)$$

である。影響インピーダンス Z_i は次式で与えられる。

Fig. 1 Phase lag across one section of lumped LC circuit approximating delay line

$$Z_i = \sqrt{L/C} \cdot \sqrt{1 - \Omega^2}/4 \quad (3)$$

$\Omega < 2$ においては $\alpha I = 0$ で減衰はない。一方、 $\beta I = \tan^{-1}\{(\Omega\sqrt{4 - \Omega^2})/(2 - \Omega^2)\}$ は Fig. 1 のようになり、 Ω の小さい方では位相遅れはほとんど周波数に比例するので遅延時間 $\tau = \sqrt{LC}$ の純遅延とみなすことができる。直線からのずれは $15^\circ (\Omega = \pi/12)$ に於て 0.04° 、 30° で 0.4° 、 45° で 1.2° 、 60° で 3.2° となっている。

したがって、Fig. 2 (a) のような回路を近似的な遅延線として使用するには遅延時間と必要とする最高周波数の積および使用目的によって要求される精度から適当な段数を決定すれば十分よい遅延特性を得ることができるはずである。

しかし一般に低周波になるほどコイルの Q は上げていくと大きなインダクタンスを得ようとするときサイズも相当大きくなってしまふ等の障害があり低周波ないし超低周波でこの方式の遅延回路で性能のよいものをつくるのは、あまり容易なことではない。

3. 能動遅延線方式の導入

前節でのべたように、小型で性能のすぐれた集中定数遅延回路をつくるためには、是非ともコイルを使用しないですむ回路方式を考えなければならない。たとえば、コイルを最近話題となっているジャイレータコイル⁶⁾でおきかえるのも一方法であろう。しかしこの方式は両端がアースから浮いた、いわゆるフローティングジャイレータを必要とするのでやや面倒である。もし、直列アーム素子として、コイルではなく例えば抵抗を使用して遅延線が構成できれば便利であろう。

いま、ある線形回路が電圧源によって駆動されていたとする。もしその回路内のすべてのインピーダンスおよび負荷インピーダンスを同一定数倍したとすれば出力電圧は変化せず、回路内および出力の電流はその

Fig. 2 Structures of (a) a classical lumped constant delay line and (b) the active delay line

定数分の1となる。この定数は複素数でも周波数の関数でもよい。したがって、 $j\omega L$ の代わりに R を用い、 $1/j\omega C$ の代わりに $(1/j\omega C) \cdot (R/j\omega L) = -1/\omega^2 N$ (ただし $NR = LC$) を用いれば出力電圧は変化しない。すなわち、Fig. 2 (b) のように $Z = R, Y = -\omega^2 N$ としたものは $Z = j\omega L, Y = j\omega C$ の、Fig. 2 (a) の場合と同じ入出力関係をもち、(1)式は(2)式を

$$\Omega = \omega^2 \sqrt{RN} \quad (2')$$

と直すことによりそのまま成立する。この方式を本論文では『能動遅延線』とよぶことにする。この方式では映像インピーダンスも当然 $R/j\omega L$ 倍されるから通過域では容量性を示し、

$$Z_1 = \frac{1}{j\omega} \sqrt{R/N} \cdot \sqrt{1 - \Omega^2/4} \quad (3')$$

となる。また回路内電流はもとの回路の $j\omega L/R$ 倍すなわち微分となるから、具体的設計の際は注意がはらわなければならない。

以上の議論は、アドミタンスが $-\omega^2 N$ の素子を実現されなければ全く意味がない。この素子はその消費電力すなわち i^2/Y が負の能動素子であるから、受動素子の組合わせでは実現できず、増幅器を含んだ回路により実現しなければならない。著者等はそれを Fig. 3 のような回路の、端子 M の対地アドミタンスとして得ている。

図中、 A_1, A_3 はそれぞれ電圧利得 $\mu, 1$ 、入力インピーダンス無限大、出力インピーダンス零の電圧増幅器であり、 A_2 は電流利得 $-k$ 、入力インピーダンス零、出力インピーダンス無限大の電流増幅器である。各点の対地電位および電流の記号を図中と同じに定め、それらの間の関係を書くと、

Fig. 3 Schematic diagram of the active element. Mathematical analysis of this circuit is presented in eq. (5), (6), (7)

$$v = \frac{1}{j\omega C_1} i + \frac{1}{1 + j\omega C_2 R_2} (\mu v - k R_2 i) \quad (5)$$

となる。第1項は M に流入する電流による C_1 の電圧降下を示し、第2項はそれに直列に加算される A_3 の出力電圧を示す。整理して書くと、

$$\{-\omega^2 C_1 C_2 R_2 + (1 - \mu)\} v = \{1 + j\omega (C_2 R_2 - k C_1 R_2)\} i \quad (5')$$

したがって対地アドミタンスは i/v として求められる。すなわち、

$$Y = \frac{i}{v} = \frac{-\omega^2 C_1 C_2 R_2 + (1 - \mu) j\omega C_1}{1 + j\omega (C_2 R_2 - k C_1 R_2)} \quad (6)$$

ここで $\mu = 1, k = C_2/C_1$ とすれば

$$Y = -\omega^2 C_1 C_2 R_2 = -\omega^2 N, \quad N = C_1 C_2 R_2 \quad (7)$$

を得ることができる。したがって Fig. 3 の回路全体をひとつの素子と考え、Fig. 2 (b) のように接続すれば能動遅延線を実現することができる。しかも Fig. 3 の回路は低利得の増幅器と抵抗、コンデンサのみで構成されているから現在の技術で容易に十分な特性のものを実現できる。このことが能動遅延線方式により良好な遅延回路を製作できる可能性の根拠となっている。

ここで示された、インピーダンス $1/-\omega^2 N$ の素子(以下 N 素子)を使用することにより従来の $j\omega L, R, 1/j\omega C$ で構成されている回路を $R, 1/j\omega C, -1/\omega^2 N$ で構成される能動回路に置換え、インダクタを使用せず同一の機能の回路を得ることができるのでこの素子は遅延線ばかりではなく一般のフィルタ回路等に対しジャイレータ、FDIC^{7),8)}等と類似の応用をおこなうことができる。なお、両端がアースから浮いた N 素子も実現可能である。

4. 実用回路

Fig. 3の回路の一具体例を Fig. 4 に示す. この回路は $C_1=C_2$, $R_2 \sim 10 \text{ k}\Omega$ を標準に設計してある. Tr. 1, Tr. 2 は A_1 に相当する電圧フォロウを構成し, Tr. 3 は一個で A_2 の一部と A_3 を兼ねている. すなわち Tr. 3 のエミッタフォロウ動作が A_3 に相当し, 同時にエミッタ側電流をコレクタ側に複製するベース接地動作が A_2 の初段である. その2段目は Tr. 4 でコレクタ電流は A_2 の出力として C_2, R_2 の接合点に流入する. Tr. 1, Tr. 2 と Tr. 4 は直流動作電流を共有し, Tr. 5 は Tr. 3 の定電流シンクである. A_1 および A_3 の利得は無調整でほとんど1であるが $k=C_2/C_1$ だけは Tr. 3 のコレクタ側の半固定抵抗によって初期調整せねばならない. それには, つぎのような容易な調整法がある. すなわち, (6)式の $\mu=1$ としたものと抵抗 R_P を並列接続したものは並列共振回路となりその極は

$$s^2 + \left(\sqrt{\frac{C_2 R_2}{C_1 R_P}} - k \sqrt{\frac{C_1 R_2}{C_2 R_P}} \right) \omega_0 s + \omega_0^2 = 0,$$

$$\omega_0 = \sqrt{NR_P}$$

の根で与えられ $k < C_2/C_1$ では減衰性, $k > C_2/C_1$ では発散性の共振をすることを利用し, 被調整素子をこのように接続してトリガー電流を与えて応答波形を観察しながら若干減衰性になるように調整する. 完全に $k=C_2/C_1$ としないのは温度変化, 経年変化等により $k > C_2/C_1$ となってしまうと安定性が失われることの

Fig. 4 Practical circuit of the active element

ないように余裕を見込んでいるからで, 実験では $R_P \approx 10 \text{ k}\Omega$ に対し $Q=100 \sim 200$ くらいにした.

5. 試作実験

実際に能動遅延線を製作し, その特性の試験を行った. N 素子は Fig. 4 の回路を使用し, $C_1=C_2=2200 \text{ pF}$, $R_2=8.2 \text{ k}\Omega$, $R=16.4 \text{ k}\Omega$ すなわち1段当りの遅延時間は $\tau = \sqrt{NR} = \sqrt{C_1 C_2 R_2 R} \approx 25 \mu\text{s}$ としてそれを 40 段 Fig. 2 (b) の様に接続し全体で 1 ms の遅延時間を得る設計である. 遮断周波数は 12.7 kHz であるが使用できるのは位相誤差を考慮して 0~約 5 kHz としている. 終端は $\sqrt{N/R} = \sqrt{C_1 C_2 R_2 / R} \approx 1500 \text{ pF}$ のコンデンサで整合したのち FET 入力のパッファ増幅器にて出力を取出す. 入力側の整合はとくに行っていないが, このことに関しては後述する. この遅延線について試験された V_o/V_i の振幅および位相をそれぞれ Fig. 5 (a), (b) に示す. これによると, 減衰は最大 2 dB くらいで位相遅れはほとんど理論値すなわち Fig. 1 の縦軸を 40 倍したものと一致するので, 能動遅延線方式が十分実用となる可能性が示される.

(a) attenuation

(b) phase lag

Fig. 5 Experimental results with 40-section 1 ms active delay line

Fig. 6 Time domain display of input (top trace) and output (bottom trace) of 1 ms active delay line. Fundamental frequency of the example signal is approximately 400 Hz

Fig. 6 には試作した能動遅延線により任意関数発生器で作った波形のサンプルを遅延させてみた結果を示す。入力波形（上側）がかなり高い忠実度で遅延されているが、たとえば波形のピーク状の部分のつぎの三角形の部分が出力では丸くなっていることなど、若干の歪が観測される。これは主として周波数の高い側で位相遅れが直線からはずれてくるために起こる位相誤差によるものであり、集中定数遅延回路ではやむを得ない。

能動遅延線では、実用的な C_1, C_2 の値で音声周波数領域から超低周波低速用まで各種のものを製作でき

る。とくに超低周波用のものが容易につくれることは大きな特色である。超低周波用のものの一例として、総遅延時間 240 ms、使用周波数 0~30 Hz の、60 段の能動遅延線によるデモンストレーションを Fig. 7 に示す。この遅延線は温度ゆらぎを利用する相関流速計⁹⁾に組込むため著者等が製作したもので、現在その目的に使用して好結果を得ている。Fig. 7 の波形は実際の温度ゆらぎ波形である。数値を紹介すると、 $C_1 = C_2 = 0.33 \mu\text{F}$ （フィルムコンデンサ）、 $R_2 = 8.2 \text{ k}\Omega$ 、 $R = 18.2 \text{ k}\Omega$ で、21/2 段すなわち 10 ms ごとに相関処理用のバッファされたタップをもつ。測定された遅延時間は設計値より約 2% 長目で、これは部品とくにコンデンサの数値の誤差によるものとおもわれる。

6. 問題点と留意事項

6.1 最大振幅と素子電流容量

N素子は増幅器を含んでいるので最大振幅は制限される。周波数の低いときは増幅器の出力電圧の飽和で制限されるが素子電流は ω^2 に比例して増加するのである周波数以上では増幅器の最大出力電流で制限され最大振幅は $1/\omega^2$ に比例して低下する。たとえば実験に使用した素子では低周波では最大振幅約 15 V_{p-p} であるが素子電流は約 1 mA_{p-p} で飽和するから $\omega > 1/10^{-3}/15 \text{ N}$ すなわち約 6 kHz 以上では最大振幅は急激に低下する。

しかし実験では 5 kHz 以下での使用を目的としているので事実上支障はない。一般に、 $R_2 \sim 10 \text{ k}\Omega$ 、 R

Fig. 7 Demonstration with a very low speed (240 ms, 60 sections) active delay line for correlation flow velocity meter using actual signal of temperature fluctuation

～20 kΩ とした遅延線では使用する N 素子の電流量は 1 mA で実用上十分であるが、この素子をフィルタなど遅延線以外の目的に使用する場合はこの点に注意しなければならない。

6.2 直流入力電流

いま n 段の遅延回路において各 N 素子に I_g の直流入力電流があったとするとそれはすべて入力端から供給されるから出力側では

$$0.5RI_g + 1.5RI_g + \dots + (n-0.5)RI_g \\ = 1/2 n^2 RI_g \quad (8)$$

の直流レベルのシフトを生じた I_g の変動によりドリフトを生ずる。とくに多段で超低周波用の遅延線はこの点に注意を要する。あまり段数が多くなる場合は全体を連続した遅延線とせず適当に分割して整合のちバッファ増幅器を介して単向性接続した方がよいであろう。なぜなら、(8)に示す様に直流レベルのシフトは段数の 2 乗に比例するからである。なお現在著者等は数段毎に分割したものを遅延回路ユニットとして使用した方が実用上便利であろうと考えている。

6.3 整合および出力

(1)式は映像計算により求めたものであった。しかし実際には終端には Z_L ではなく $Z_L = 1/j\omega\sqrt{R/N}$ のインピーダンスすなわち $C_L = \sqrt{N/R}$ のキャパシタ (実験では 1500 pF) が接続されるので遅延線の入出力関係 V_o/V_i は (1) の n 乗すなわち $\varepsilon^{-n\theta I}$ と完全には一致しない。前述の実験の様に Fig. 8 (a) の回路による場合は

$$\frac{V_o}{V_i} = \varepsilon^{-n\theta I} \cdot \frac{1}{\frac{1}{2}\left(1 + \frac{Z_I}{Z_L}\right) + \frac{1}{2}\left(1 - \frac{Z_I}{Z_L}\right)\varepsilon^{-2n\theta I}} \quad (9)$$

となるので周波数の上昇にしたがい Z_L と Z_I のちがいが大きくなり (9) は $\varepsilon^{-n\theta I}$ と一致しなくなってくる。Fig. 5 に示す特性に小さい波状が現われるのもこの理由による。物理的には (9) 式分母第 2 項は反射波として観測される。Fig. 8 (b) の様に入力側も Z_L で整合すると

$$\frac{V_o}{V_i} = \frac{1}{2} \varepsilon^{-n\theta I} \\ \times \frac{1}{\frac{1}{4}\left(\frac{Z_I}{Z_L} + \frac{Z_L}{Z_I} + 2\right) \frac{1}{4}\left(\frac{Z_I}{Z_L} + \frac{Z_L}{Z_I} - 2\right)\varepsilon^{-2n\theta I}} \quad (10)$$

となり $Z_L \neq Z_I$ による影響は減少するが、実際に使用する時には Fig. 8 (c) の様にリーク抵抗 R_{LEAK} を接続して直流電位を固定する必要がある。Fig. 9 は

Fig. 8 Impedance matching at (a) output point only and (b) both input and output points. (c) shows practical circuit for (b).

Fig. 9 Experimentally obtained attenuation characteristics using the matching circuit of Fig. 8 (c). Compare with Fig. 5 (a).

試作能動遅延線をこの接続法に直して実測した振幅特性で Fig. 5 (a) と比較すると波状が顕著に減少している。 R_{LEAK} は 1 MΩ とした。なお、Fig. 8 (a) および (b) の接続はそれぞれいわゆる電圧伝送係数、動作伝送係数に対応する。

能動遅延線の終端やタップから出力を取出すには遅延線の動作を妨害しないように高入力インピーダンスのバッファを用いるべきである。また直流入力電流も A₁ の場合同様 FET 等を使用しできるだけ小さくしなければならない。一方、能動遅延線を駆動するには 741 系の様な一般の IC 演算増幅器等で十分である。

6.4 素子偏差の影響

k 段目の N, R にそれぞれ $\Delta N_k, \Delta R_k$ なる微小偏差があったとして Fig. 2 (b) の回路に於てその影響を調べると V_o/V_i は偏差のない場合に対し

$$\prod_k \left(\frac{2Y_I}{2Y_I + \omega^2 \Delta N_k} \right) \left(\frac{2Z_I}{2Z_I + \Delta R_k} \right)$$

$$= 1 - jQ\sqrt{1-Q^2/4} \sum_k \left(\frac{\Delta N_k}{N} + \frac{\Delta R_k}{R} \right) \quad (11)$$

を乗じたものとなる事がわかる。ただし

$$Y_1 = j\omega\sqrt{N/R}\sqrt{1-Q^2/4}$$

である。すなわち $\Delta N_k/N$, $\Delta R_k/R$ が実数であれば利得にはほとんど影響しないが当然のことながら遅延時間には直接影響する。したがって段数のすくない場合やこまかくタップをとる場合は使用する素子のかたより、ばらつきともに注意しなければならない。しかし段数が多く、全体の遅延時間のみ必要とする場合はばらつきについてはあまり問題にする必要はない。

7. 応 用

能動遅延線は相関器、遅延線シンセサイザ、トランスバースフィルタ等の遅延要素として、それらを必要とするアナログおよびハイブリッドの計測器や情報処理機器に応用することができる。もっとも簡単な例として、Fig. 10 に前述の 240 ms の遅延線の一部を利用してトランスバースフィルタを構成してみた実験例を示す。これはハミングのウィンドウと同形の係数をもった低域フィルタで、測定結果における数%の誤差は遅延線の周波数特性が完全にフラットではないことによるもので、波形にはその影響がみとめられる。また、阻止域での残留利得は $-30 \sim -40$ dB で理論値にはいたらない。

トランスバースフィルタでは、位相歪のないフィルタをつくる事が容易である。Fig. 10 (c) はこのことを示すため同じ鋸歯状波を上記のフィルタ (上) と、 -3 dB 周波数の同じ CR フィルタ (下) を通した波形を比較したものである。

著者等は能動遅延線を使用した相関流速計をすでに製作し、よい結果を得たことは前述した。この相関計器では、遅延線の 24 個のタップのうち 21 個を使用しそ

から得られる信号を並列に空間的処理し流速に比例する出力を得る方式の採用を試みた。実用的な遅延線が得られることによりこの例の様に時間信号を空間展開して並列的、空間的に処理する方式のアナログ機軸を実現することが可能となる。

現在この考えを発展させ、多数のタップを有する多段の能動遅延線をベースとし、ミニコンピュータによって制御される係数器群とフレキシブルな回路構成によって各種のアナログ信号処理を実時間で連続的にこなうことのできる装置を試作中である。

Fig. 10 Transversal filter experiments.

(a) Schematic diagram of the lowpass transversal filter using 240-ms active delay line. Weighting coefficients are

$$w_n = 0.54 + 0.46 \cos \left\{ \frac{n-10}{10} \pi \right\}, \quad (1 \leq n \leq 19)$$

$$w_0 = w_{20} = 0.04$$

(b) Obtained gain characteristics.

(c) Sawtooth wave through the transversal filter (top trace) and CR filter (bottom trace). Note that the former is almost symmetrical and free from phase distortion

8. 結 論

3 個の低利得増幅器幅器および抵抗, コンデンサにより構成された, 対地インピーダンスが $-1/\omega^2$ に比例する能動素子と抵抗の梯状接続により, 従来のインダクタ, キャパシタによる集中定数遅延回路にかわる遅延回路をつくる方式を提案し, 試作, 実験の結果よい特性が得られることが示された. この方式は各種の機器への応用が可能であると考えられる.

最後に, 本研究は昭和 48 年度文部省科学研究費によるものある. また, 応用分野について御検討下さった藤村貞夫氏, および試作の際御助力下さった鈴木守氏に感謝の意を表する次第である.

参 考 文 献

1) G.S.F. Orsten: An Analog Shift Register, Rev.

- Sci. Instr. Vol. 41, No. 7, 957/959 (1970)
- 2) 大場: 或るアナログ記憶素子を用いるフィルタ, 第 10 回 SICE 学術講演会予稿集, 659/660 (1971)
- 3) 小野田: レゾナントトランスファ回路を用いた電荷転送形遅延回路, 信学会論文誌, Vol. 56-A, No. 3, 175/176 (1973)
- 4) 田所, 穴山: プリセット方式を用いた磁気アナログシフトレジスタ, 計測自動制御学会論文集, 8-4, 431/439 (1972)
- 5) D. Hazony and R. Sobecks: A Distributed RC Active Delay Line SIAM J. Appl. Math. Vol. 22, No. 2, 139/141 (1972)
- 6) 柳沢: トランジスタジャイレータ: 構成と応用, 信学誌, Vol. 52, No. 6, 699/709 (1969)
- 7) 寺本: インピーダンス変換器を用いた RC 伝送回路, 信学会論文誌, Vol. 55-A, No. 10, 497/503 (1972)
- 8) 早原: Active Impedance Rotator の構成と伝送回路への応用, 信学会論文誌, Vol. 53-A, No. 4, 169/175 (1970)
- 9) 阿刀田, 鳥羽: 実時間直読相関流速計, 第 12 回 SICE 学術講演会予稿集, 601/602 (1973)