磁気・3値 ϕ 形フェイルセーフ論理回路†

樋口 龍雄*・古山 健造*

Ternary ϕ Type Fail-Safe Logic Circuits Using Ferrite Cores

Tatsuo HIGUCHI* and Kenzo KOYAMA*

Ternary fail-safe logic systems have an important advantage in that the systems can clearly distinguish a failure state corresponding to a truth value ϕ from normal signals corresponding to truth values 1 and 0. For practical fail-safe systems both safety and reliability are required. The magnetic core itself has high reliability and is suited for a ternary fail-safe logic element.

This paper presents a practical realization of ternary ϕ type fail-safe logic circuits using ferrite cores. Various functions such as NOT, OR, AND, Delay, NOR and NAND which are fail-safe can easily be obtained by using ferrite cores. The equivalent circuit in a magnetic circuit may be drawn from the measured values on the reciprocal of switching time versus the applied pulse amplitude which is well known as a basic characteristic of a core. On the basis of the equivalent circuit obtained thus, operations of fail-safe logic circuits can be made clear. A practical realization of the fail-safe logic function $\bar{X}+Y$ is shown as an example.

1. ま え が き

最近、システムの複雑化、大規模化が進み、ディジタル論理が採用されるようになるとともに、正常の動作状態から故障状態を明確に区別し、故障の生じた場合は、何らかの信号をだすことが、安全性の面から要求されるようになってきた。特に、シーケンス制御は、前向き制御の一種であって、基本的にはフィードバック機構をもたないので、誤動作による影響が最も問題となる。

これに対して、真理値1, 0に対応する正常の動作状態から、故障状態を明確に区別できる3値フェイルセーフ論理に基づく、ディジタルシステムの構成は、きわめて有効であるといわれている^{1), 2)}。ただし、故障状態を表わす第3の真理値を ϕ とする。しかるに、3値フェイルセーフ論理回路の実現は、回路的に困難とされておりあまり例をみない³⁾。従来、主要回路を半導体と抵抗によるフェイルセーフ論理演算発振器で構成した、3値C形フェイルセーフ論理回路が提案されている⁴⁾。しかし、トランジスタは故障モードによって、0縮退の場合も、1縮退の場合もあるので⁵⁾、3値フェイルセーフ論理素子を実現するのは、一般に困難であり、回路構成も複雑となる。

この点、磁心は巻線の極性を変えるだけで、容易に真理値(1, 0, ϕ)に対応した物理量(正パルス, 負パルス, 零)を得ることができるとともに、磁心に施された巻線の断線、短絡に際しては、その出力が零となり、 ϕ 縮退が実現される。さらに、磁心は衝撃性の雑音に強く、それ自体信頼性が高く故障も少ないので^{6), 7)}、低速度・工業用の3値フェイルセーフ論理素子として好適であると思われる^{8)~10)}。

本文では、最小情報損失を仮定した3値 ϕ 形フェイルセーフ論理¹¹⁾に基づく、磁気フェイルセーフ論理回路を実現し¹¹⁾、種々の故障に対しても十分フェイルセーフ性を満足することを確かめたので、ここに報告する。

2. 磁気・3値フェイルセーフ論理素子

2.1 磁心の動作原理

トロイダル磁心には、Fig. 1(a)のように、入力巻線 N_i 、出力巻線 N_o 、および読出し巻線 N_r を施しておく。磁心の磁化状態は、初めに、読出し巻線にパルスを印加することにより、反時計方向に磁化され、同図(b)の正の飽和磁化状態 $+\phi$ にされている。さて、入力巻線に正パルスが印加された場合、起磁力 $N_i I_i$ により磁心は時計方向に磁化されて、負の飽和磁化状態 $-\phi$ となる。他方、入力信号が負パルス、零の場合、磁心は正の飽和磁化状態を保持したままで

† 計測自動制御学会東北支部講演会で発表(昭49・10)

* 東北大学工学部 仙台市荒巻字青葉

* Faculty of Engineering, Tohoku University, Sendai
(Received December 15, 1975)

Fig. 1 Principle of performance of core

Table 1 Relation between truth and physical values

truth values	1	0	ϕ
physical values			

パルス、零をそれぞれ、1, 0, ϕ の真理値と対応させることにする。このようにして、通常のトロイダル磁心を、3値論理素子として使用できることがわかる。

一方、Fig. 2 は、2入力3値フェイルセーフ論理素子として、磁心を用いる場合の動作原理を示す。いま、Xとして正パルス、Yとして零の場合、印加起磁力 $NI_s/2$ しか生じないので、同図(b)に示されるように、磁心は磁化反転することができない。このときの出力波形を同図(c)に示す。磁心の角形比が良好の場合、出力はほとんど生じない。しかるに、XとYともに正パルスが印加された場合、起磁力 NI_s により、磁心は正から負の飽和磁化状態へ磁化反転する。その結果、読出し巻線を駆動する際、出力巻線の極性に

いる。

つぎに、再び磁心を反時計方向に磁化するように、読出し巻線を駆動する際、出力巻線端子Cには、入力信号の極性に

応じて Fig. 1(c) の出力波形が得られる。この際、出力巻線の極性を変えることによって、正や負のパルスが得られる。そこで、Table 1に示すように、正パルス、負パ

Fig. 2 Principle of performance of core for two inputs

ルスを、零をそれぞれ、1, 0, ϕ の真理値と対応させることにする。このようにして、通常のトロイダル磁心を、3値論理素子として使用できることがわかる。

一方、Fig. 2 は、2入力3値フェイルセーフ論理素子として、磁心を用いる場合の動作原理を示す。いま、Xとして正パルス、Yとして零の場合、印加起磁力 $NI_s/2$ しか生じないので、同図(b)に示されるように、磁心は磁化反転することができない。このときの出力波形を同図(c)に示す。磁心の角形比が良好の場合、出力はほとんど生じない。しかるに、XとYともに正パルスが印加された場合、起磁力 NI_s により、磁心は正から負の飽和磁化状態へ磁化反転する。その結果、読出し巻線を駆動する際、出力巻線の極性に

2入力3値フェイルセーフ論理素子は、原理的にはこの種の磁心を4個組合わせることにより実現される。なお、実際の構成に際しては、XおよびYの入力起磁力を $NI_s/2$ とすると、 $NI_s/2 < NI_c$ となるように、調整し

Table 2 Truth tables

FS. NOT		FS. OR			FS. AND		
X	$\bar{X}$	X	Y	ϕ	X	Y	ϕ
1	0	1	1	1	1	1	1
0	1	0	1	0	0	1	0
ϕ	ϕ	ϕ	1	ϕ	ϕ	1	ϕ

ておくことが必要である。

2.2 3値 ϕ 形フェイルセーフ論理素子

Table 2 の真理値表は、最小情報損失を仮定した3値 ϕ 形フェイルセーフ論理に基づく¹⁾、基本演算子としてのフェイルセーフ(以下、FS.と略記する。)NOT, FS. OR, および FS. AND を表わす。FS. OR において、2入力信号XとYが、1と ϕ 、 ϕ と1の場合、 ϕ の真理値がもともと1であったか、0であったかに関係なく、FS. OR の出力は1とする。しかるに、2入力信号として、0と ϕ 、 ϕ と0および ϕ と ϕ を考えた場合、その出力は ϕ となる。

他方、FS. AND において、入力信号XとYが、 ϕ と0、0と ϕ の場合、FS. AND の出力は0である。真理値と物理量との対応は、Table 1 のように定められているので、正パルスと負パルスが出力信号として生じている間は、正常動作をしており、零のときは故障状態の生じたことがわかる。

上記のように、この最小情報損失フェイルセーフ論理構成は、故障が生じて、必ずしもその値 ϕ が出力側に伝搬されずマスクされているため、故障の影響を少なくして、正常動作を行なわせるためには、都合の良い方式といえる³⁾。

磁心を用いた3値 ϕ 形フェイルセーフ論理素子の構成は、Fig. 3に示される。FS. OR, FS. AND などの2入力論理素子は、Fig. 2の論理素子の入出力巻線の極性を変えたものを基本として、Table 2の真理値表を満足

Fig. 3 Fail-safe logic elements realized by cores

Table 3 Operation of cores constructing logic element

FS. NOT		FS. OR					FS. AND				
X	$\bar{X}$	X \ Y	1	0	ϕ	X \ Y	1	0	ϕ		
1	C_1	1	C_1	C_3	C_1	1	C	C_3	—		
0	C_2	0	C_4	C_2	—	0	C_4	C_2	C_2		
ϕ	—	ϕ	C_1	—	—	ϕ	—	C_2	—		

するように構成されたものである。ただし、入力巻線における $2N$ は、他の磁心の入力巻線数に比べて2倍であることを示す。Fig. 3において、FS. NOT, FS. OR および FS. AND の出力巻線の極性を、同図点線のように変えるだけで、それぞれ、FS. Delay, FS. NOR および FS. NAND が容易に得られる。

以下に、FS. NOT, FS. OR および FS. AND 素子の動作説明を行う。FS. NOT において、入力信号 X として 1 (正パルス) あるいは 0 (負パルス) が印加された場合、Table 3 に示すように、 C_1 あるいは C_2 いずれかの磁心のみが磁化反転を行い、負の飽和磁化状態となる。つぎに、読出し巻線にパルスが印加されると、 C_1 あるいは C_2 の磁心が磁化反転を起こし、正の飽和磁化状態となる。このとき、出力巻線の極性に応じて、0 および 1 の出力を生ずる。 X として ϕ (零) が印加された場合、磁心 C_1 と C_2 はともに正の飽和磁化状態のままなので、読出しパルスが印加されても磁化反転は行われず、出力は零である。

他方、FS. OR および FS. AND の場合、入力信号 X, Y がともに負の飽和磁化状態へ磁化する方向に印加された磁心のみが磁化反転を行う。そこで、 XY の真理値に対応して、負の飽和磁化状態へ磁化反転する磁心の番号についても、Table 3 に示している。以上の結果、本研究で得られた磁気論理素子においては、

入力 XY の組合わせに応じて動作する磁心は、どれか一つであることが明らかである。したがって、論理素子を構成している磁心間の差動出力を取出す必要はないので、構成に際して、特に磁心整合に留意しなくともよい点がすぐれている。

Fig. 4 は、一例としてフ

Fig. 4 Output pulses obtained corresponding to inputs X and Y in FS. OR element

Table 4 Constants of Mn-Mg ferrite core* used here

items	values
H_c	0.25 Oe
B_s	2500 G (5 Oe)
rectangularity ratio	93%
N_a	10 turns
N_i	10 turns
N_o	20 turns

* Core size: (3×5×8.6) mm

ェライト磁心を用いた FS. OR の入力信号 XY に対応する出力パルス波形を示したもので、Table 2 の真理値表に対応していることが明らかである。ただし、磁心の特性、定数などは、Table 4 に示される。特に、構成磁心の整合に留意しない場合でも、正常信号すなわち正および負パルスと故障信号零との S/N 比に関して、電圧時間面積比として考えると、通常の使用条件の場合、容易に 20 dB 以上の値が得られていることが確かめられている。

2.3 フェイルセーフ性

3値フェイルセーフ論理素子としては、Table 2 の真理値表を満足するだけでなく、素子自体の故障に対しても確実に故障信号 ϕ を発生することが要求される。そこで、Fig. 3 の磁気論理素子の入出力巻線、読出し巻線が、それぞれ断線および短絡故障（構成磁心 1 個の巻線短絡を含む）を生じた場合の、フェイルセーフ性について検討することにする。ただし、入力巻線と出力巻線の短絡は、起こり得ないものと仮定する。また、磁心は、周囲条件の変化に対しても、その角形特性を保持するものと仮定している。Table 5 は、種々の故障に対するフェイルセーフ性を示す。◎印は、厳密な意味でのフェイルセーフ性を示し、出力は常に ϕ となる。これに対して、○印の場合は故障に対しても、最小情報損失フェイルセーフ性を示す。すなわち、前述したように、本磁気論理素子においては、入力信号に応じて磁化反転し動作する磁心は、構成磁心のうちどれか一つである。したがって、いま直接動作をしていない構成磁心が、巻線短絡を起こしたとしても、論理的にはまったく影響を受けず、正常の出力を生ずることとなる。この場合、故障が生じて必ずしもその値 ϕ が出力側に伝搬されず、故障の影響をなくして、正常動作を行わせていることになる。本研究では、最小情報損失フェイルセーフ論理構成を目的としているので、この動作は、むしろ都合の良い動作といえる。しかし、入力信号の組合わせによっては、

Table 5 Fail-safe capability for various cases of failures in fail-safe logic element

case of failures			decision
input winding	NOT element	open	◎
	others		○
	all cores	shorted	◎
	not all cores		○
output winding		open	◎
	all cores	shorted	◎
	not all cores		○
read-out winding		open	◎
	all cores	shorted	◎
	not all cores		○

磁化反転すべき磁心が丁度故障を起こしている場合がある。このとき、出力信号は確実に ϕ に縮退し、故障の生じたことを示す。なお、フェイルセーフ OR および AND 素子の入力起磁力 $\frac{NI_s}{2}$ が、 $\frac{NI_s}{2} < \frac{NI_c}{2}$, $\frac{NI_s}{2} > \frac{NI_c}{2}$ の場合、その出力は ϕ となり、フェイルセーフ性を示す。さらに、巻線の短絡、開放の場合だけでなく、中間の値を取った場合も、フェイルセーフ性を満足することが、確かめられている。

3. シフトレジスタ

3.1 回路構成

Fig. 5
Conventional bilateral-transistor switch

Fig. 6
Magnetic-coupled monostable multivibrator

3 値フェイルセーフ論理回路を形成するためには、論理素子だけでは不十分で、信号のシフト動作が必要である。従来、高信頼性を図る意味から、磁心のみで 2 値シフトレジスタを構成するという試みもあるが¹²⁾、磁心は本来両方向性の素子なので、その設計基準はかなり複雑となり¹³⁾、3 相のシフトパルスを必要とするなどの欠点がある。そこで、本研究では、シフトレジスタを構成する遅延素子として、Fig. 3 の FS. Delay を使い、さらに、遅延素子間の段間回路としては、Fig. 5 の両方向性ゲートと呼ばれるトランジスタスイッチを用いることにする。同図 M.M. は、後述する単安定磁気マルチバイブレータ¹⁴⁾を示す。スイッチの同期パルスとして、パルス発生器の 2 相出力パルスを直接用いると、アースの関係で、トランジスタスイッチ故障時に、フェイルセーフ性を満足しない。そこで、本文では、Fig. 6 に示すパルス幅可変の変形単安定磁気マルチバイブレータの、絶縁された出力を、半波整流して得られる同期パルスを用いている。同期パルスのパルス幅は、抵抗 R_v を変えることにより任意に調節することができる。Fig. 7 は、3 値フェイルセーフ論理回路の基本的構成方法を示すブロック図と、論理素子として FS. Delay を用いた場合のタイムチャートを表わしている。FS. Delay 素子を、2 個縦続接続すると、3 値 D-フリップフロップが実現される。3 値フェイルセーフ・シフトレジスタは、この 3 値 D-フリップフロップを基本ブロックとして構成される。2 相のパルス発生器 (PG I, II) の出力は、各論理素子の読出し巻線を直接駆動すると同時に、単安定マルチバイブレータ (MM I, II) にトリガを加えることにより得られる、絶縁出力パルスを用いて、トランジスタスイッチを駆動している。

3.2 等価回路

シフトレジスタに用いられている FS. Delay の場合、1 段についての構成磁心は 2 個であるが、入力信号 1 あるいは 0 に応じて磁化反転する磁心は、そのうちの 1 個だけである。したがって、シフトレジスタの基本動作ブロックは、Fig. 8(a)

Fig. 7
Block diagram of ternary ϕ type fail-safe logic circuit

Fig. 8
Equivalent
circuit

のように表わせる。そこで、スイッチング磁心の等価回路表示に基づき^{7),15)}、本シフトレジスタ動作時の等価回路を表わせば、Fig. 8(b)のように与えられる。

磁心は電流吸収源 NI_0 と 1 巻当りの等価抵抗 R_e (r_e/N^2) との並列回路として表われ、負荷は 1 次側と 2 次側との巻線比に応じて 1 次側に変換される。いま、シフトパルスの電流を I_a とすると、巻線数 N_a の読出し巻線両端の平均電圧 $\bar{E}_a$ は (1) 式で表わされる。

$$\begin{aligned}\bar{E}_a &= R_e N_a^2 I_a \\ &= R_e N_a^2 \frac{R_L \left(\frac{N_a}{N_b} \right)^2}{R_e N_a^2 + R_L \left(\frac{N_a}{N_b} \right)^2} \\ &\quad \cdot \left(I_a - \frac{NI_0}{N_a} - \frac{NI_0}{N_c} \frac{N_b}{N_a} \right) \quad (1)\end{aligned}$$

ただし、 $R_L = R + R_e N_c^2$

Fig. 9(a) は、本実験で使用したフェライト磁心 (Table 4 参照) のスイッチング特性を示す (同図は、Fig. 8(a) の Tr. Sw. がオフ時のスイッチング特性を示している)。 T_{sw} は、磁心のスイッチング時間である。(1) 式中の NI_0 および R_e は、基礎特性としてのスイッチング特性を測定することにより得られる^{7),15)}。

他方、Fig. 8(a) のように実際に磁心を結合して、シフトレジスタを形成した場合、シフトパルスの印加起磁力とスイッチング時間の逆数との関

Fig. 9
Relation between the
reciprocal of switching
time and applied pulse
amplitude

Table 6 Constants of switching characteristic
of core used here

items	values
NI_0	0.78 AT
R_e	0.61 Ω
$\Delta\phi_s$	2.7×10^{-6} Wb

* $\Delta\phi_s = 2\phi_s$

係は、つぎのように与えられる。

$$\frac{1}{T_{sw}} = \frac{\bar{E}_a}{N_a \Delta\phi_s} \quad (2)$$

ただし、 $\Delta\phi_s = 2\phi_s$ 。そこで、磁心結合時の $N_a I_a$ と $1/T_{sw}$ との関係を、Table 6 の磁心定数を用いて (1) (2) 式より計算すると、Fig. 9(b) の点線が得られる。同図(b)の実線は、実験結果を示している。計算値と実験値は、ほぼ同様な傾向を示していることがわかる (Fig. 9(b) は、Fig. 8(a) の Tr. Sw. がオン時のスイッチング特性を示している)。このスイッチング特性の傾斜を、同図(a)と(b)について比較してみると、(a) の場合 22.6×10^4 、(b) の場合 5.93×10^4 となるので、同一印加起磁力 $N_a I_a$ で駆動するとき、スイッチングに要する時間は、(b) の場合約 3.8 倍の長さを必要とすることがわかる。したがって、磁心 1 個無負荷時のスイッチング特性を基礎特性として測定しておけば、(1)、(2) 式より、シフトレジスタの動作速度を推定することができる。たとえば、シフトレジスタを駆動するシフトパルスの大きさを $N_a I_a = 2.5$ AT と定めると、このときのスイッチング時間は約 8 μs である。このため、シフトパルスのパルス幅は、余裕をもたせるため、10 μs とすることにする。本シフトレジスタは、2 相のシフトパルスにより駆動されているので、1 周期は 20 μs である。したがって、動作周波数の上限は、50 kHz であることがわかる。なお、このことは実験的にも確かめられている。

3.3 フェイルセーフ性

ここでは、Fig. 7 に示される 3 値 Φ 形フェイルセーフ論理回路のフェイルセーフ性について、実験的に検討した結果を示すことにする。なお、論理素子のフェイルセーフ性については、すでに 2.3 で明らかにしたので省略し、主に段間回路についての検討を示す。

Table 7 は、本回路において起こりうる故障についてのフェイルセーフ性を明らかにしている。◎印は厳密な意味でのフェイルセーフ性を満足し、必ず ϕ を出力する。これに対して、○印の場合は回路故障に対しても、最小情報損失フェイルセーフであることを示している。

Table 7 Fail-safe capability for various cases of failures in shift register

cause of failures			decision
magnetic-coupled monostable multivibrator (MM)	some of transistors, diodes, resistors, capacitor, and windings	open	◎
		shorted	◎
bilateral transistor-switch	emitter base collector	open	○
		◎	◎
		◎	◎
	emitter-base base-collector emitter-collector	shorted	◎
pulse generator (PG)	damaged	○	◎
		◎	◎

磁気マルチバイブレータ (MM I, II) においては、構成部品のいかなる故障に対しても、発振が停止となり段間回路は動作しない。したがって、信号は次段へ伝達されず ϕ となる。なお、何らかの障害により、MM I のパルス幅が、MM II のパルス幅より大きくなった場合、ある論理素子の入力側と出力側の段間スイッチが、同時に短絡するので、信号は次段へ伝達されず ϕ となる。

他方、段間スイッチは、両方向導通のため2個のトランジスタを用いているが、そのうち1個のトランジスタのみの故障の場合、入力信号の極性（正パルス、負パルス）によっては、そのトランジスタに関係なくもう1個のトランジスタが導通するので、正しい出力がそのまま生ずることになる。この場合、故障が生じても必ずしもその値 ϕ が出力側に伝搬されず、故障の影響をなくして、正常動作を行わせていることになる。しかし、入力信号の極性が変わるとき、信号は必ず零となり真理値 ϕ に縮退する。したがって、故障状態にあることが明らかとなる。

上記の場合は、半導体その他の素子短絡、開放などの故障に対するフェイルセーフ性を検討したものである。しかし、短絡と開放の中間の値の場合も、正しい出力か、あるいは ϕ を生ずることが確かめられている。

Table 8 Truth table for function $\bar{X}+Y$

Y	1	0	ϕ
X			
1	1	0	ϕ
0	1	1	1
ϕ	1	ϕ	ϕ

4. 磁気・3値 ϕ 形フェイルセーフ論理回路

磁気・3値フェイルセーフ論理素子と、段

Fig. 10 Block diagram for realizing function $\bar{X}+Y$

Fig. 11 Output pulses obtained corresponding to inputs X and Y in function $\bar{X}+Y$

間回路を用いれば、任意の磁気フェイルセーフ論理回路が構成される。本文では、一例として Table 8 の真理値表に示されるような、 $f = \bar{X} + Y$ を実現することにする。この論理回路は、Fig. 10 のようなブロック図で表現される。磁気論理素子の場合、FS. OR の入力となる $\bar{X}$ と Y の位相を同じにする必要があるので、FS. Delay を用いて位相を合わせている。Fig. 11 は、 XY 入力に対して、実際に得られた出力パルス波形を示している。Table 8 の真理値表に対応する出力信号が、得られていることが明らかである。

5. むすび

以上、本研究で得られた3値 ϕ 形フェイルセーフ論理回路は、磁心を基本論理素子として用いているので、信頼性が高く、比較的回路構成も簡単なので、低速度・工業用に適していると思われる。なお、本文では、磁心の信頼性がきわめて高いという前提のもとに、フェイルセーフ性を検討してきた。しかし、実用上は、磁性体の種々の環境条件による影響をも十分に検討する必要がある。

終りに、日頃ご指導いただく東北大学電気工学科穴山 武教授に深謝の意を表します。

参考文献

- 1) 平山, 渡辺, 浦野: Fail-Safe 論理系の構成理論, 電子通信学会論文集, 52-C-1, 33/40 (1969)
- 2) 中道: フェイルセーフ論理回路とその無接点継電器系への応用, 制御工学, 13-2, 116/128 (1969)
- 3) 三根, 古賀: フェール・セーフ・システムの構成理論について, 電気学会雑誌, 95-9, 801/808 (1975)
- 4) 土屋: 3値C形フェイルセーフ論理回路, 計測自動制御学会論文集, 6-1, 81/88 (1970)
- 5) H. Y. Chang, E. G. Manning and G. Metze: Fault Diagnosis of Digital Systems, John Wiley & Sons (1970)

- 6) J. E. Stevens: Magnetic Logic for Machine Control: Its Present Capabilities and Limitations, IEEE Trans., IECI-12-1, 21/23 (1965)
- 7) D. R. Bennion, H. D. Crane and D. Nitzan: Digital Magnetic Logic, McGraw-Hill (1969)
- 8) 川西：磁気応用の諸問題, 電気学会雑誌, 92-3, 260/270 (1972)
- 9) 樋口, 亀山, 古山：フォトエッチング法により作成した磁気論理素子の特性とその考察, 電気学会磁気応用研究会資料, AM-74-13 (1974)
- 10) 古山, 樋口, 穴山：磁気・3値C形フェイルセーフ論理回路, 計測自動制御学会東北支部講演会, 107 (1974)
- 11) 古山, 樋口, 穴山：磁気・3値 Φ 形フェイルセーフ論理回路とその基礎特性, 電気関係学会東北支部連合大会, 2F-11 (1975)
- 12) L. A. Russell: Diodeless Magnetic Core Logic Circuit, IRE National Conv. Rec. Pt. 4, 106/114 (1957)
- 13) 田山：トロイダル磁心のみで構成される Russell のシフトレジスタの解析, 非線形磁気応用研究会資料, NM-72-17 (1972)
- 14) Y. Tadokoro and T. Higuchi: A New Magnetic-Coupled Monostable Multivibrator with Variable and Wide Pulsewidth, IEEE Trans., IECI-21-3, 185/191 (1974)
- 15) IEEE Standard for Computer-Type (Square Loop) Pulse Transformer, No. 272