圧電 MEMS デバイス向け PbZrTiO_3 スパッタ量産化技術[†]

小林宏樹*・松岡耕平・露木達朗・木村 勲・神保武人

株式会社アルバック ☎ 253-8543 神奈川県茅ヶ崎市萩園 2500

(2020 年 2 月 15 日受付 ; 2020 年 4 月 29 日掲載決定)

Mass Production Technology of PbZrTiO_3 by Sputtering Method for Piezoelectric MEMS Devices

Hiroki KOBAYASHI*, Kouhei MATSUOKA, Tatsurou TSUYUKI, Isao KIMURA and Takehito JIMBO

ULVAC Inc., 2500, Hagisono, Chigasaki, Kanagawa 253-8543

(Received February 15, 2020 ; Accepted April 29, 2020)

We have successfully developed a mass productive sputtering module for insulating materials and advanced PbZrTiO_3 (PZT) process technology. PZT films were deposited on 8 inch substrate using mass productive sputtering tool (SME-200 ULVAC inc.). The results obtained in this study are as follows ; (1) As a result that a stable anode was installed, stability of Pb content and deposition rate within film in continuous sputtering (2) Low temperature crystallization of PZT film ($<500^\circ\text{C}$) by using buffer layer between PZT and bottom Pt electrode (3) High piezoelectric coefficient e_{31} of -15.5 C/m^2 and breakdown voltage of 200 V.

KEYWORDS : MEMS, sputtering, PZT

1. は じ め に

MEMS (Micro Electro Mechanical System, 微小電気機械システム) 技術は、各種基板上に電子回路と微小機械構造を集積させたデバイスである。その組み合わせによって様々な機能を発現するものであり、スマートフォン、自動車、(産業用) ロボットなど、近年の社会インフラを支える必要不可欠な技術となっている。これら技術の進展に伴い、高性能・高付加価値デバイスとしての MEMS への期待がますます高まってきている。特に Si を基板、構造部材として、ドライエッチングなどの微細加工技術を用いて作製される Si-MEMS は CMOS との融合が可能となるため、高性能化、多機能化、低消費電力、小型・軽量化、低コスト化などの同時実現が可能となる。このような背景から、Si-MEMS 上へのジャイロセンサ、マイクロアクチュエータ、インクジェット等を作りこむための圧電素子の適用を始めとして、その応用範囲は急速な広がりを見せている。筆者らはこれまで

MEMS 用に様々な機能性材料薄膜の形成プロセス開発を行ってきたが、本稿では、その中でも特に今後の応用展開が期待される圧電材料の $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (PZT) について紹介する。

2. PZT 圧電膜用量産スパッタリング装置

MEMS 用の PZT 圧電膜の成膜装置には高温対応の誘電体スパッタリング専用モジュール¹⁾を搭載したマルチチャンバ型量産スパッタリング装置 SME-200 シリーズ (アルバック) を使用している (Fig. 1)。この装置はメンテナンスの容易さ、短排気時間、短ダウンタイムなどの優れ

Fig. 1. (color online). Appearance of mass productive sputtering tool (SME-200, ULVAC inc.).

[†]2019 年日本表面真空学会学術講演会 (2019 年 10 月 28 日 ~ 30 日) にて発表

*E-mail : hiroki2_kobayashi@ulvac.com

た基本性能を備えている以外に、以下のような特長を有している。

- (1) $\phi 300$ mm ターゲット搭載が可能であり、 $\phi 200$ mm 大口径基板に対応したプロセス室となっている。また、高密度 (>90%) セラミックターゲットを用いたハイパワー印可による PZT 膜の高速成膜を行える。
- (2) 各プロセス室をモジュール化しており、プロセスのフレキシビリティが高い。現在、標準プロセスとして、下地電極 (Ti, Pt, buffer など) → 誘電体材料スパッタリング成膜 → 上部電極 (Pt など) の成膜に対応しており、下部電極から上部電極までを *in-situ* 処理可能である。
- (3) 基板加熱機構として高均熱 SiC ヒータ・サセプタの利用により、中高温での正確かつ迅速な温度制御が可能である。

3. MEMS 用 PZT 圧電膜の作製と評価

PZT 膜及び上下部電極は全てスパッタリング法で形成され、基板は $\phi 200$ mm Si 基板を用いている。PZT 膜のスパッタリング条件を Table 1 に示す。この条件においては $3.8 \mu\text{m/h}$ という高成膜速度を実現している。実用的な圧電性能が得られる膜厚 ($1\text{--}3 \mu\text{m}$) において、成膜時間を変化させて形成した。スパッタリングターゲットには PbO が 30% 過剰添加された PZT ($\text{Zr/Ti} = 52/48$) セラミックターゲット (アルバック製) を用いた。これは、化学量論組成の PZT 膜を得るために、揮発しやすい Pb を補うための対策である。

Fig. 2 及び Fig. 3 に PZT 膜の量産として大きな問題となる膜中 Pb 組成比及びその面内分布、成膜速度、及び膜厚分布の連続成膜安定性を示す²⁾。PZT 膜組成の測定方法は、ICP-MS (誘導結合プラズマ質量分析法) で校正された XRF (蛍光 X 線分析法) を用いて行った。Fig. 2 に示すように、PZT 膜厚 $2.0 \mu\text{m}$ とした場合の 400 枚連続成膜においても、Pb 組成とその面内分布の変化は小さく、膜質が安定していることがわかる。更に、Fig. 3 から明らかに、成膜速度とその面内分布においても高い再現性が得られている。特に成膜速度の変化 (wafer to

Fig. 2. (color online). Pb stability of PZT film by continuous sputtering.

Fig. 3. (color online). Stability of deposition rate and thickness uniformity of PZT film.

wafer) は $\pm 1.4\%$ であり、またウェハー面内の膜厚分布 (within wafer) は $\pm 3.0\%$ 以下であった。

PZT 膜の優先配向面は下部電極やシード層の挿入によって制御することが一般的であるが、これまでの検証の結果、PZT 成膜条件を最適化することで任意の結晶配向面へ制御可能であることが分かっている。Fig. 4 から、PZT 成膜条件の制御によって、PZT 膜が Pt(111) 電極上に (001)/(100), (111) 面にそれぞれ優先配向していることが確認できる²⁾。圧電性を評価するために $25 \text{ mm} \times 3.0 \text{ mm}$ のカンチレバーを作製した。PZT 成膜後、上部電極として、Pt 膜 (膜厚 100 nm) を DC スパッタリングにより成膜している。また、交流 (250 Hz , 30 V) 印加時のカンチレバーの先端変位をレーザドップラー変位計 (Graphtec AT-3600) によって測定し、その変位量から圧電定数を求めた^{3,4)}。Fig. 4 に、PZT(001)/(100) 配向膜および PZT(111) 配向膜の圧電定数 (e_{31}) を示す²⁾。PZT(100)/(001) 優先配向した PZT 膜の圧電定数は -12.4 C/m^2 であり、PZT(111) 優先配向膜の -7.8 C/m^2 よりも大きな値であった。PZT 膜の結晶配向と圧電特性には密接な関係があり、

Table 1. Experimental condition of PZT.

Sputtering tool	SME-200 (ULVAC)
Sputtering type	RF magnetron
Target	Pb ($\text{Zr}_{0.52}\text{Ti}_{0.48}$) O_3 , $\Phi 300 \text{ mm}$
Sputtering power	2.5 kW
Substrate temp.	580°C
Deposition rate	$3.8 \mu\text{m/h}$
Thickness	$1\text{--}3 \mu\text{m}$
Substrate	$\Phi 200 \text{ mm SiO}_2/\text{Si}$

Fig. 4. (color online). Relationship between PZT crystal orientation and piezoelectric coefficient.

(001)/(100)面に優先配向したPZT膜が最も高い圧電性を有することが報告されている⁵⁾。今回我々が得られた実験結果とも一致している。

4. CMOS-MEMS 混載のためのPZT膜の低温結晶化

冒頭で述べたようにMEMSとCMOSを組み合わせることが出来れば、更なる高機能が期待される。一般的にPZT膜の結晶化温度はスパッタリング法で600℃程度（筆者らの実績でも580℃）であり、CMOSの耐熱性の観点から、MEMS-PZTとCMOS混載の課題はPZTの成膜温度である。PZT成膜温度として500℃以下の低温プロセスが必要とされる。

従来のPZT成膜温度ではCMOSへの搭載は困難であったため、筆者らは、下部電極とPZT間にバッファ層を適用することで、PZT成膜温度の低減を図れるのではないかと考え、実験を行った。

PZT膜の成膜条件は基本的にTable 1と変わらないが、Pt下部電極上にバッファ層を形成した後、成膜温度を変えながらPZT膜を形成した。なお、PZT膜の膜厚は2.0 μmとした。Fig. 5に、従来プロセス（Conventional process）と改善プロセス（Novel process）との結晶配向性の比較を示す（2theta：20–60°）⁶⁾。この結果、改善プロセスにおいて成膜温度485℃でパイロクロア相の発生しない、ペロブスカイト単相のPZT膜を形成できることを確認した。Fig. 6に、従来プロセス（Conventional process）と改善プロセス（Novel process）との結晶配向性の比較を示す（2theta：96–100°）⁶⁾。同図は(004)及び(400)のX線回折ピークを比較したものであるが、従来プロセスではa軸に優先配向、かつそのピーク強度が低いのにに対し、改善プロセスではc軸配向度と強度が増していることが分

Fig. 5. (color online). XRD (2theta : 20–60°) results of PZT film deposited by (a) Conventional process deposited at 580°C (b) Novel process deposited at 485°C.

Fig. 6. (color online). XRD (2theta : 96–100°) results of PZT film deposited by (a) Conventional process deposited at 580°C (b) Novel process deposited at 485°C.

Fig. 7. (color online). Breakdown voltage of PZT film deposited by (a) Conventional process (b) Novel process.

Fig. 8. SEM image of cross section of 2 μm -PZT film deposited by (a) Conventional process (b) Novel process.

かる。また、PZT 膜組成を ICP-MS（誘導結合プラズマ質量分析法）で測定した結果、従来プロセスおよび改善プロセスの両者ともに Zr/Ti 組成比が 51.5/48.5 であり、同等であることを確認している。Fig. 7 に絶縁耐圧の比較結果を示す。従来プロセスにおいては、35–45 V であったのに対し、改善プロセスにおいては大幅に改善し、 ± 200 V を超えた⁶⁾。絶縁耐圧が著しく向上した要因の一つとして Fig. 8 に示すように、改善プロセスにおいて PZT 膜の表面平滑性が改善されたことが考えられる⁶⁾。また、3 項で評価したカンチレバーを作製し、圧電定数の比較を行った。Fig. 9 に従来と改善プロセスの圧電定数 e_{31} の比較を示す⁶⁾。従来プロセスでは -12.4 C/m^2 であるのに対し、改善プロセスでは -15.5 C/m^2 まで向上した。

Fig. 9. (color online). Piezoelectric coefficient e_{31} of PZT film deposited by (a) Conventional process (b) Novel process.

5. ま と め

スマートフォンやタブレットなどのスマート端末やウェアラブルデバイスなどの技術進展に伴い、高性能・高付加価値デバイスとしての MEMS への期待がますます高まってきている。中でも、Si-MEMS は CMOS との融合が可能となるため、高機能化が期待される。MEMS には、高性能化、多機能化、低消費電力、小型・軽量化、低コスト化などの同時実現が必要とされるが、これをよりシンプルな構造で同様の働きを実現する手段として、機能性材料薄膜の適用が模索されている。筆者らはこれまで、主に Si-MEMS 用に様々な機能性材料薄膜のスパッタリングプロセス開発を行ってきたが、本稿では、特に今後の応用展開が期待される圧電材料の PZT について紹介した。これらの技術は今後の高性能・高付加価値デバイスの量産技術として有望と考えており、更なる技術向上を目指して開発を続けるとともに、様々な機能性材料薄膜について成膜プロセスの開発を行って、MEMS 分野の発展に貢献していきたい。

文 献

- 1) 鄒 弘綱：セラミックス **47**, 760 (2012).
- 2) K. Suu：4th international workshop on Piezoelectric MEMS, Kobe (2014) I-1.
- 3) S. Fujii, I. Kanno, T. Kanda and R. Takayama：Jpn. J. Appl. Phys. **36**, 6065 (1997).
- 4) I. Kanno, H. Kotera and K. Wasa：Sens. Actuators. A, **107**, 68 (2003).
- 5) S. Hiboux, P. Muralt and N. Setter：MRS Proc. **596**, 499 (1999).
- 6) K. Suu：10th International Conference on Materials for Advanced Technologies, Singapore (2019).